

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication
number:

1020010028064 A

(43) Date of publication of application:
06.04.2001

(21) Application number: 1019990040126

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 17.09.1999

(72) Inventor:

BAE, IL MAN

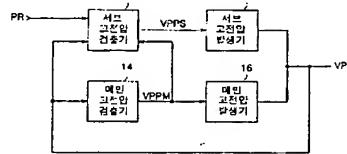
(51) Int. Cl

G11C 5/14

(54) CIRCUIT FOR GENERATING HIGH VOLTAGE WITHIN SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A circuit for generating high voltage within a semiconductor memory device is provided to generate a detection signal for high voltage before enabling a word line within an active mode, so that level of the high voltage is compensated accurately and fast.



CONSTITUTION: The circuit includes a sub high-voltage detector(20), a sub high-voltage generator (12), a main high-voltage detector(14) and a main high-voltage generator(16). The sub high-voltage detector(20) enables according to an active signal(PR). The sub high-voltage detector(20) generates a detection signal(VPPS) of "High" level when level of the high-voltage is dropped. Also, the sub high-voltage detector(20) generates the detection signal(VPPS) of "High" level when an output signal(VPPM) of the main high-voltage detector(14) and the active signal(PR) are in "High" level. Thereby, the high voltage (VPP) can be compensated accurately and fast before enabling a word line within an active mode.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20021009)

Patent registration number (1003616560000)

Date of registration (20021106)

특 2001-0028064

(19) 대한민국특허청 (KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 5/14	(11) 공개번호 특2001-0028064 (43) 공개일자 2001년 04월 06일
(21) 출원번호 10-1999-0040126	
(22) 출원일자 1999년 09월 17일	
(71) 출원인 삼성전자 주식회사 윤종용	
	경기 수원시 팔달구 매탄3동 416
(72) 발명자 배일만	
	경기도수원시팔달구영통동964-5번지신나무실주공아파트516동605호
(74) 대리인 박상수	

설명구 : 있음

(54) 반도체 메모리 장치의 고전압 발생회로

요약

본 발명은 반도체 메모리 장치의 고전압 발생회로를 공개한다. 그 회로는 액티브 신호에 응답하고 고전압의 레벨 강하 검출시 및 제1 출력신호에 응답하여 제2 출력신호를 발생하기 위한 서브 고전압 검출기, 제2 출력신호에 응답하여 고전압의 레벨을 보상하기 위한 서브 고전압 발생기, 스탠바이 및 액티브시에 고전압의 레벨 강하를 검출하여 제1 출력신호를 발생하기 위한 메인 고전압 검출기, 및 제1 출력신호에 응답하여 고전압의 레벨을 보상하기 위한 메인 고전압 발생기로 구성되어 있다.

따라서, 액티브시에 워드 라인이 인에이블되기 전에 서브 고전압 검출기가 고전압의 레벨 강하를 검출하여 서브 고전압 검출신호를 발생함으로써 고전압 레벨을 정확하고 빠르게 보상할 수 있다.

도표도

도 1

도 2

도 3

도면의 간단한 설명

도1은 종래의 반도체 메모리 장치의 고전압 발생회로의 실시예의 블록도이다.

도2는 도1에 나타낸 서브 고전압 발생기의 실시예의 회로도이다.

도3은 도1에 나타낸 서브 고전압 검출기의 실시예의 회로도이다.

도4는 도1에 나타낸 메인 고전압 검출기의 실시예의 회로도이다.

도5는 도3에 나타낸 서브 고전압 검출기의 동작을 설명하기 위한 동작 타이밍도이다.

도6은 본 발명의 반도체 메모리 장치의 고전압 발생회로의 실시예의 블록도이다.

도7은 도6에 나타낸 서브 고전압 검출기의 실시예의 회로도이다.

도8은 도7에 나타낸 서브 고전압 검출기의 동작을 설명하기 위한 동작 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 기술

본 발명은 반도체 메모리 장치의 고전압 발생회로에 관한 것으로, 특히 액티브시에 고전압 레벨을 고속으로 정확하게 보상할 수 있는 반도체 메모리 장치의 고전압 발생회로에 관한 것이다.

동적 반도체 메모리 장치의 메모리 셀은 하나의 NMOS트랜지스터와 하나의 캐퍼시터로 구성된다. 그리고, NMOS트랜지스터의 게이트는 워드 라인에 연결되고, 소스(또는, 드레인)는 비트 라인에 연결되어, 워드 라인으로 “하이”레벨의 전압이 인가되면 NMOS트랜지스터가 온되어 메모리 셀에 저장된 데이터를 비트 라인으로 전송하거나, 비트 라인으로 전송된 데이터를 메모리 셀에 저장한다.

그런데, NMOS트랜지스터는 “하이”레벨의 데이터 전송 시에 그 특성상 문턱전압의 손실이 발생하기 때문에, “하이”레벨의 데이터를 NMOS트랜지스터의 문턱전압의 손실없이 메모리 셀로 전송하기 위하여 고전압 발생회로가 사용된다. 즉, 고전압 발생회로가 워드 라인으로 고전압을 인가함으로써 “하이”레벨의 데이터가

전압 강하없이 전송될 수 있게 된다.

또한, 고전압 발생회로는 데이터 라인으로부터 비트 라인으로 데이터의 전송을 제어하기 위한 비트 라인 선택 트랜지스터가 NMOS트랜지스터로 구성되며 되는데 NMOS트랜지스터의 게이트에 고전압을 인가함으로써 “하이”레벨의 데이터 전송시에 NMOS트랜지스터에 의한 문턱전압의 손실없이 데이터를 전송하기 위하여 사용된다.

증래의 반도체 메모리 장치의 고전압 발생회로는 메인 고전압 검출기, 서브 고전압 검출기, 및 서브 고전압 발생기로 구성된다. 메인 고전압 검출기 및 발생기는 스텐바이 및 액티브시에 고전압을 발생하고 보상하기 위하여 사용되고, 서브 고전압 검출기 및 발생기는 액티브시에 메인 고전압 검출기 및 발생기의 고전압 보상 동작을 보조해 주기 위하여 사용된다.

즉, 액티브시에는 고전압 레벨의 전하 소모가 상하므로 메인 고전압 검출기의 동작만으로는 고전압 레벨의 강하를 보상해줄 수 없기 때문에 서브 고전압 발생기가 추가적으로 동작하여 고전압 레벨의 강하를 보상해주게 된다.

그런데, 반도체 메모리 장치가 고속화되어감에 따라 액티브 명령이 인가된 후에 워드 라인이 인에이블되기까지의 시간이 아주 짧아지게 되었고, 이에 따라, 증래의 서브 고전압 검출기로는 액티브시에 워드 라인이 인에이블되기 전에 고전압 레벨을 보상하는 것이 용이하지 않다는 문제점이 있었다.

발명이 이루고자 하는 기술적 목표

본 발명의 목적은 액티브 명령이 인가된 후 워드 라인이 인에이블되기 전에 고전압 레벨을 보상할 수 있는 반도체 메모리 장치의 고전압 발생회로를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 고전압 발생회로는 액티브 신호에 응답하고 고전압의 레벨 강하 검출시 및 제1출력신호에 응답하여 제2출력신호를 발생하고 상기 제2출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 서브 고전압 발생수단, 및 스텐바이 및 액티브시에 상기 고전압의 레벨 강하를 검출하여 상기 제1출력신호를 발생하고, 상기 제1출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 메인 고전압 발생수단을 구비한 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 고전압 발생회로는 액티브 신호에 응답하고 고전압의 레벨 강하 검출시 및 제1출력신호에 응답하여 제2출력신호를 발생하기 위한 서브 고전압 검출기, 상기 제2출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 서브 고전압 발생기, 스텐바이 및 액티브시에 상기 고전압의 레벨 강하를 검출하여 상기 제1출력신호를 발생하기 위한 메인 고전압 검출기, 및 상기 제1출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 메인 고전압 발생기를 구비한 것을 특징으로 한다.

발명의 구성 및 작동

이하, 첨부한 도면을 참조하여, 본 발명의 반도체 메모리 장치의 고전압 발생회로를 설명하기 전에 증래의 반도체 메모리 장치의 고전압 발생회로를 설명하면 다음과 같다.

도1은 증래의 반도체 메모리 장치의 고전압 발생회로의 실시예의 블록도로서, 서브 고전압 검출기(10), 서브 고전압 발생기(12), 메인 고전압 검출기(14), 및 메인 고전압 발생기(16)로 구성되어 있다.

도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

서브 고전압 검출기(10)는 액티브 명령(PR)이 인가되면, 고전압(VPP) 레벨의 감소를 감지하여 신호(VPPS)를 발생한다. 서브 고전압 발생기(12)는 신호(VPPS)에 응답하여 승압 동작을 수행하여 고전압(VPP) 레벨을 보상한다. 메인 고전압 검출기(14)는 스텐바이 및 액티브시에 고전압(VPP) 레벨의 감소를 감지하여 신호(VPPM)를 발생한다. 메인 고전압 발생기(16)는 전원전압 인가시에 전원전압(VCC)을 승압하여 고전압(VPP)을 발생하고, 신호(VPPM)에 응답하여 고전압(VPP) 레벨을 보상한다.

도2는 도1에 나타낸 서브 고전압 발생기의 실시예의 회로도로서, NMOS캐패시터(NC), 캐패시터(C), 다이오우드(D), 및 NMOS트랜지스터(N1)로 구성되어 있다.

도2에 나타낸 회로의 동작을 설명하면 다음과 같다.

스텐바이시에 노드(A)는 전원전압(VCC)에서 다이오우드(D)의 온 전압(0.7V)을 뺀 전압(VCC-0.7V)으로 프리차지된다. 그리고, 액티브시에 신호(VPPS)가 “하이”레벨로 천이하면 노드(A)의 전압이 전압(2VCC-0.7V)으로 승압된다. 이때 발생되는 노드(A)의 고전압은 다이오우드 구성의 NMOS트랜지스터(N1)를 통하여 고전압 발생단자로 출력된다.

즉, 도2에 나타낸 서브 고전압 발생기는 스텐바이시에는 신호(VPPS)가 “로우”레벨이므로 노드(A)가 전압(VCC-0.7V)으로 프리차지되고 캐패시터(C)에 충전된 전압이 고전압 발생단자로 출력된다. 그리고, 액티브시에는 신호(VPPS)가 “하이”레벨로 천이하면 노드(A)의 전압이 전압(2VCC-0.7V)으로 승압되고, 승압된 전압이 NMOS트랜지스터(N1)를 통하여 고전압 발생단자로 출력된다.

도1에 나타낸 메인 고전압 발생기는 서브 고전압 발생기의 구성과 유사하다. 메인 고전압 발생기는 전원전압 인가시에 고전압을 발생하고, 신호(VPPM)에 응답하여 고전압의 레벨을 보상하며, 승압 능력이 서브 고전압 발생기의 비해서 우수하다는 점이 서브 고전압 발생기와 상이하다.

도3은 도1에 나타낸 서브 고전압 검출기의 실시예의 회로도로서, PMOS트랜지스터(P1), NMOS트랜지스터(N2, N3, N4), 및 인버터들(I1, I2, I3)로 구성되어 있다.

전원전압(VCC)과 노드(S)사이에 직렬 연결된 PMOS트랜지스터(P1)와 NMOS트랜지스터(N2)로 구성되고, 각각의 게이트로는 접지전압과 고전압(VPP)이 인가된다. 노드(S)와 접지전압사이에 직렬 연결된 NMOS트랜지스

터들(N3, N4)로 구성되고, 각각의 게이트로는 액티브 신호(PR)와 고전압(VPP)이 인가된다. 그리고, 노드(S)의 신호를 버퍼하여 신호(VPPS)를 발생하기 위한 3개의 직렬 연결된 인버터들(I1, I2, I3)로 구성되어 있다.

도3에 나타낸 회로의 동작을 설명하면 다음과 같다.

"하이"레벨의 액티브 신호(PR)가 인가되면 NMOS트랜지스터(N3)가 온되어 서브 고전압 검출기(10)의 동작이 인에이블된다. 그리고, 노드(S)의 전압은 PMOS트랜지스터(P1) 및 NMOS트랜지스터들(N2, N3, N4)의 저항을 각각 R1, R2, R3, R4라고 할 때, $(R3+R4)VCC/(R1+R2+R3+R4)$ 로 나타낼 수 있다. 그런데, PMOS트랜지스터(P1)는 전류원으로서 포화영역에서 동작하기 때문에 저항(R1)의 저항 값을 무시할 수 있다. 따라서, 노드(S)의 전압은 $(R3+R4)VCC/(R2+R3+R4)$ 으로 나타낼 수 있다. 그리고, 액티브시에 저항(R3)의 저항 값이 고정되기 때문에, 노드(S)의 전압은 NMOS트랜지스터들(N2, N4)의 게이트로 인가되는 고전압(VPP)의 레벨 변화에 따라 달라지게 된다.

그래서, NMOS트랜지스터들(N2, N4)의 게이트로 인가되는 고전압(VPP)이 고전압 레벨을 유지하면, 저항들(R2, R4)의 저항 값이 작아지게 된다. 그러면, 상기 식으로부터 알 수 있듯이, 저항(R4)에 의한 저항 감소보다 저항들(R2, R4)에 의한 저항 감소가 더 커지게 되므로 노드(S)의 전압이 커지게 된다. 이때, 발생되는 노드(S)의 전압은 인버터(I1)가 "하이"레벨로 인식할 수 있는 레벨이 된다. 인버터들(I1, I2, I3)은 "하이"레벨의 신호를 반전하고 지연하여 "로우"레벨의 신호(VPPS)를 발생한다.

반면에, NMOS트랜지스터들(N2, N4)의 게이트로 인가되는 고전압(VPP)의 레벨이 강하하면, 저항들(R2, R4)의 저항 값이 커지게 된다. 그러면, 저항들(R4)에 의한 저항 증가보다 저항들(R2, R4)에 의한 저항 증가가 더 커지게 되므로 노드(S)의 전압이 작아지게 된다. 이때 발생되는 노드(S)의 전압은 인버터(I1)가 "로우"레벨로 인식할 수 있는 레벨이 된다. 인버터들(I1, I2, I3)은 "로우"레벨의 신호를 반전하고 지연하여 "하이"레벨의 신호(VPPS)를 발생한다.

상술한 바와 같이 도3에 나타낸 서브 고전압 검출기는 액티브시에 고전압(VPP) 레벨이 유지되면 "로우"레벨의 신호(VPPS)를 발생하고, 고전압(VPP) 레벨이 강하하면 "하이"레벨의 신호(VPPS)를 발생한다.

도4는 도1에 나타낸 메인 고전압 검출기의 실시예의 회로도로서, PMOS트랜지스터(P2), NMOS트랜지스터들(N5, N6, N7), 및 인버터들(I4, I5, I6)로 구성되어 있다.

도4에 나타낸 회로의 구성은 도3에 나타낸 회로의 구성과 달리 스텠바이시나 액티브시에 항상 동작되도록 하기 위하여 NMOS트랜지스터(N6)의 게이트로 전원전압(VCC)이 인가되어 구성되어 있다.

도4에 나타낸 회로의 동작을 설명하면 다음과 같다.

도4에 나타낸 회로의 동작은 도3에 나타낸 회로의 동작과 동일하다.

즉, 고전압(VPP) 레벨이 유지되면 노드(M)로 "하이"레벨의 신호를 발생하고, 고전압(VPP) 레벨이 강하하면 노드(M)로 "로우"레벨의 신호를 발생한다. 따라서, 고전압(VPP) 레벨이 유지되면 인버터들(I4, I5, I6)을 통하여 "로우"레벨의 신호(VPPS)를 발생하고, 고전압(VPP) 레벨이 강하하면 인버터들(I4, I5, I6)을 통하여 "하이"레벨의 신호(VPPM)를 발생한다.

따라서, 종래의 반도체 메모리 장치의 고전압 발생회로는 액티브시에는 액티브 신호(PR)에 응답하여 서브 고전압 검출기가 동작하여 고전압(VPP) 레벨의 강하를 검출하여 서브 고전압 발생기를 동작시키고, 스텠바이 및 액티브시에는 메인 고전압 검출기가 동작하여 고전압(VPP) 레벨의 강하를 검출하여 메인 고전압 검출기를 동작시킨다.

그런데, 서브 고전압 검출기를 구성하는 트랜지스터들의 크기는 메인 고전압 검출기를 구성하는 트랜지스터들의 크기보다 크게 구성되어, 서브 고전압 검출기의 동작이 메인 고전압 검출기보다 빠르게 동작한다. 따라서, 액티브 신호(PR)가 인가되면 서브 고전압 검출기가 빠르게 동작하여 서브 고전압 발생기를 동작시킴으로써 고전압(VPP) 레벨의 강하를 보상해 주게 된다.

그러나, 반도체 메모리 장치가 고속화됨에 따라, 워드 라인의 인에이블 시간이 빨라지게 되고, 이에 따라 워드 라인이 인에이블된 후에 서브 고전압 검출기가 동작하여 서브 고전압 발생기를 동작하게 함으로써 고전압(VPP) 레벨의 강하를 빠르고 정확하게 검출하여 보상하여 줄 수 없다는 문제점이 발생하게 되었다.

도5는 도3에 나타낸 서브 고전압 검출기의 동작을 설명하기 위한 동작 타이밍도로서, 액티브 신호(PR)가 인가되면 소정시간 후에 워드 라인(WL)이 인에이블된다. 서브 고전압 검출기(10)는 액티브 신호(PR)에 응답하여 고전압(VPP) 레벨의 강하를 검출하여 노드(S)로 "로우"레벨의 신호를 발생한다. 그리고, 인버터들(I1, I2, I3)은 "로우"레벨의 신호를 버퍼하고 반전하여 "하이"레벨의 신호(VPPS)를 발생한다. 그러면, "하이"레벨의 신호(VPPS)에 응답하여 서브 고전압 발생기가 동작하여 고전압(VPP) 레벨의 강하를 보상할 수 있다. 그런데, 메인 고전압 검출기(I4)의 출력신호(VPPM)가 "하이"레벨을 유지하는 경우에는 고전압 레벨의 전압 강하가 있는 경우이므로 워드 라인(WL)이 인에이블된 후에 도5에 나타낸 바와 같이 서브 고전압 검출기(10)의 출력신호(VPPS)가 발생하게 되면 워드 라인(WL)에서의 고전압 레벨의 강하를 보상하는 시점이 늦어지게 된다.

즉, 종래의 반도체 메모리 장치의 고전압 발생회로는 액티브 신호(PR)가 발생되고, 또한 노드(S)를 통하여 "로우"레벨의 고전압(VPP) 레벨 강하 신호가 발생되고 난 후 시간(T1)만큼 지연된 후에 신호(VPPS)가 발생된다.

따라서, 워드 라인(WL)이 인에이블되고 난 후 시간(T2)만큼 지연된 후에 신호(VPPS)가 발생되게 됨으로써 워드 라인이 인에이블되기 전에 고전압 레벨의 강하가 있는 경우에, 즉, 메인 고전압 검출기(I4)에 의해서 고전압 레벨의 강하가 검출되어 출력신호(VPPM)가 발생되어 있는 경우에는 고전압 레벨을 빠르고 정확하게 보상할 수 없다는 문제점이 있었다.

이러한 문제점은 반도체 메모리 장치의 고속화에 따라 워드 라인(WL)의 인에이블 시점이 빨라지게 됨으로

써 더욱 더 커지게 된다.

도6은 본 발명의 반도체 메모리 장치의 고전압 발생회로의 실시예의 블록도로서, 서브 고전압 발생기(12), 메인 고전압 검출기(14), 및 메인 고전압 발생기(16)의 구성은 도1에 나타낸 것과 동일하고, 서브 고전압 검출기(20)의 구성과 상이하다.

도6에 나타낸 회로의 동작을 설명하면 다음과 같다.

서브 고전압 발생기(12), 메인 고전압 검출기(14), 및 메인 고전압 발생기(16)의 동작은 도1에 나타낸 회로의 동작과 동일하므로 상술한 설명을 참고로 하면 될 것이다. 서브 고전압 검출기(20)는 액티브 신호(PR)에 응답하여 인에이블되고 고전압(VPP)의 레벨 강하를 검출하여 "하이"레벨의 신호(VPPS)를 발생하거나, 메인 고전압 검출기(14)의 출력신호(VPPM)와 액티브 신호(PR)가 모두 "하이"레벨이 되면 "하이"레벨의 신호(VPPS)를 발생한다.

즉, 본 발명의 서브 고전압 검출기(20)는 "하이"레벨의 액티브 신호(PR) 발생시에 메인 고전압 검출기(14)의 출력신호(VPPM)가 "하이"레벨이면 "하이"레벨의 신호(VPPS)를 발생하는 회로를 추가적으로 구성한 것이다.

도7은 본 발명의 반도체 메모리 장치의 서브 고전압 검출기의 실시예의 회로도로서, PMOS트랜지스터(P1), NMOS트랜지스터들(N1, N2, N3), 인버터들(I1, I7, I8), NAND게이트(NA), 및 NOR게이트(NOR)로 구성되어 있다.

즉, 도7에 나타낸 증래의 서브 고전압 검출기(10)의 인버터(I1)의 출력단에 직렬 연결된 NOR게이트(NOR)와 인버터(I8), 및 액티브 신호(PR)와 신호(VPPM)를 논리곱하여 NOR게이트(NOR)로 출력하기 위한 NAND게이트(NAND)와 인버터(I7)가 추가되어 구성되어 있다.

도7에 나타낸 회로의 동작을 설명하면 다음과 같다.

PMOS트랜지스터(P1)와 NMOS트랜지스터들(N2, N3, N4)로 구성된 회로는 "하이"레벨의 액티브 신호(PR) 발생시에 고전압(VPP) 레벨이 유지되면 노드(S)로 "하이"레벨의 신호를 발생하고, 고전압(VPP) 레벨이 강하되면 노드(S)로 "로우"레벨의 신호를 발생한다. 인버터(I1)는 "하이"레벨의 신호를 버퍼하고 반전하여 "로우"레벨의 신호를 발생하고, "로우"레벨의 신호를 버퍼하고 반전하여 "하이"레벨의 신호를 발생한다. NOR게이트(NOR)와 인버터(I8)는 인버터(I1)의 출력신호가 "하이"레벨이면 "하이"레벨의 신호(VPPS)를 발생한다. 그리고, NAND게이트(NA)와 인버터(I7)는 액티브 신호(PR)가 "하이"레벨이고, 메인 고전압 검출기(14)의 출력신호(VPPM)가 "하이"레벨이면 "하이"레벨의 신호를 발생한다. 따라서, NOR게이트(NOR)와 인버터(I8)는 인버터(I7)의 출력신호가 "하이"레벨이면 "하이"레벨의 출력신호(VPPS)를 발생한다.

즉, NAND게이트(NA)와 인버터(I7)는 액티브시에 메인 고전압 검출기(14)의 출력신호(VPPM)가 "하이"레벨이면 고전압(VPP) 레벨이 강하되어 있는 상태이므로 이때, 서브 고전압 검출기(20)의 출력신호(VPPS)를 "하이"레벨로 하여 서브 고전압 발생기(12)를 동작시킴으로써 워드 라인이 인에이블되기 전에 서브 고전압 발생기(12)가 동작할 수 있도록 한다.

도8은 도7에 나타낸 본 발명의 반도체 메모리 장치의 서브 고전압 검출기의 동작을 설명하기 위한 타이밍도로서, 액티브 신호(PR)가 인가되면 소정시간 후에 워드 라인(WL)이 인에이블된다. 서브 고전압 검출기(20)는 액티브 신호(PR)에 응답하여 고전압(VPP) 레벨의 강하를 검출하여 노드(S)로 "로우"레벨의 신호를 발생한다. NAND게이트(NA)와 인버터(I7)는 "하이"레벨의 액티브 신호(PR)와 메인 고전압 검출기(14)의 "하이"레벨의 출력신호(VPPM)를 논리곱하여 "하이"레벨의 신호를 발생한다. 따라서, 서브 고전압 검출기(20)의 출력신호(VPPS)가 노드(S)의 상태에 관계없이 워드 라인이 인에이블되기 전에 시간(T3)만큼 앞서서 "하이"레벨로 전이하게 된다.

물론, 메인 고전압 검출기(14)의 출력신호(VPPM)가 발생되지 않는 경우에는 도5의 타이밍도에 나타낸 바와 같은 동작을 수행하게 된다. 즉, 이 경우에는 고전압 레벨의 강하가 발생하지 않은 경우이므로 서브 고전압 발생기(12)가 워드 라인이 인에이블된 후에 동작하더라도 상관없다. 즉, 도5의 타이밍도에 나타낸 바와 같이 서브 고전압 검출기(12)가 동작하여 출력신호(VPPS)를 발생하여도 고전압 레벨을 충분히 보상할 수 있게 된다.

즉, 본 발명의 반도체 메모리 장치의 고전압 발생회로는 액티브시에 메인 고전압 검출기의 출력신호의 상태를 검출하여 워드 라인이 인에이블되기 전에 서브 고전압 발생기가 동작되게 할으로써 고전압의 전압 강하를 정확하고 빠르게 보상한다.

상기에서는 본 발명의 비람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

본 발명의 반도체 메모리 장치의 고전압 발생회로는 액티브시에 워드 라인 이 인에이블되기 전에 고전압을 정확하고 빠르게 보상할 수 있다.

따라서, 고속의 반도체 메모리 장치에 본 발명의 고전압 발생회로를 적용함으로써 장치의 신뢰성을 향상 시킬 수 있다.

(5) 청구의 범위

청구항 1. 액티브 신호에 응답하고 고전압의 레벨 강하 검출시 및 제1출력신호에 응답하여 제2출력신호를 발생하기 위한 서브 고전압 검출기;

상기 제2출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 서브 고전압 발생기;
스탠바이 및 액티브시에 상기 고전압의 레벨 강하를 검출하여 상기 제1출력신호를 발생하기 위한 메인 고전압 검출기; 및

상기 제1출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 메인 고전압 발생기를 구비한 것을 특징으로 하는 반도체 메모리 장치의 고전압 발생회로.

청구항 2. 제1항에 있어서, 상기 서브 고전압 검출기는

전원전압과 제1출력노드사이에 직렬 연결되고 각각의 게이트로 접지전압, 및 고전압이 인가되는 제1PMOS 트랜지스터 및 제1NMOS트랜지스터;

상기 제1출력노드와 접지전압사이에 직렬 연결되고 각각의 게이트로 상기 액티브 신호 및 상기 고전압이 인가되는 제2, 3NMOS트랜지스터들;

상기 제1출력노드로부터 출력되는 신호를 반전하여 제1신호를 발생하기 위한 제1인버터;

상기 액티브 신호와 상기 제1출력신호를 논리곱하여 제2신호를 발생하기 위한 논리곱 게이트; 및

상기 제1신호와 상기 제2신호를 논리합하여 상기 제2출력신호를 발생하기 위한 논리합 게이트를 구비한 것을 특징으로 하는 반도체 메모리 장치의 고전압 발생회로.

청구항 3. 제1항에 있어서, 상기 메인 고전압 검출기는

전원전압과 제2출력노드사이에 직렬 연결되고 각각의 게이트로 접지전압, 및 고전압이 인가되는 제2PMOS 트랜지스터 및 제4NMOS트랜지스터;

상기 제2출력노드와 접지전압사이에 직렬 연결되고 각각의 게이트로 전원전압 및 상기 고전압이 인가되는 제5, 6NMOS트랜지스터들; 및

상기 제2출력노드로부터 출력되는 신호를 버퍼하고 반전하여 상기 제1출력신호를 발생하기 위한 소정수의 직렬 연결된 인버터들을 구비한 것을 특징으로 하는 반도체 메모리 장치의 고전압 발생회로.

청구항 4. 액티브 신호에 응답하고 고전압의 레벨 강하 검출시 및 제1출력신호에 응답하여 제2출력신호를 발생하고 상기 제2출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 서브 고전압 발생수단; 및

스탠바이 및 액티브시에 상기 고전압의 레벨 강하를 검출하여 상기 제1출력신호를 발생하고, 상기 제1출력신호에 응답하여 상기 고전압의 레벨을 보상하기 위한 메인 고전압 발생수단을 구비한 것을 특징으로 하는 반도체 메모리 장치의 고전압 발생회로.

청구항 5. 제4항에 있어서, 상기 액티브 고전압 발생수단은

전원전압과 제1출력노드사이에 직렬 연결되고 각각의 게이트로 접지전압, 및 고전압이 인가되는 제1PMOS 트랜지스터 및 제1NMOS트랜지스터;

상기 제1출력노드와 접지전압사이에 직렬 연결되고 각각의 게이트로 상기 액티브 신호 및 상기 고전압이 인가되는 제2, 3NMOS트랜지스터들;

상기 제1출력노드로부터 출력되는 신호를 반전하여 제1신호를 발생하기 위한 제1인버터;

상기 액티브 신호와 상기 제1출력신호를 논리곱하여 제2신호를 발생하기 위한 논리곱 게이트; 및

상기 제1신호와 상기 제2신호를 논리합하여 상기 제2출력신호를 발생하기 위한 논리합 게이트를 구비한 서브 고전압 검출기를 구비한 특징으로 하는 반도체 메모리 장치의 고전압 발생회로.

청구항 6. 제4항에 있어서, 상기 메인 고전압 발생수단은

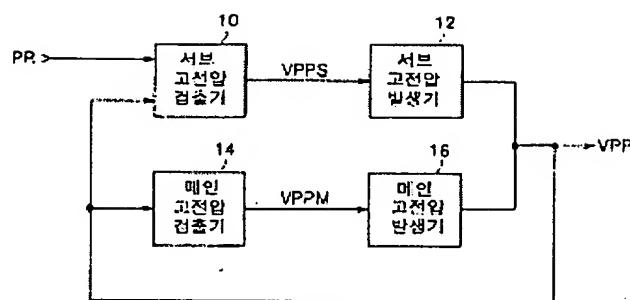
전원전압과 제2출력노드사이에 직렬 연결되고 각각의 게이트로 접지전압, 및 고전압이 인가되는 제2PMOS 트랜지스터 및 제4NMOS트랜지스터;

상기 제2출력노드와 접지전압사이에 직렬 연결되고 각각의 게이트로 전원전압 및 상기 고전압이 인가되는 제5, 6NMOS트랜지스터들; 및

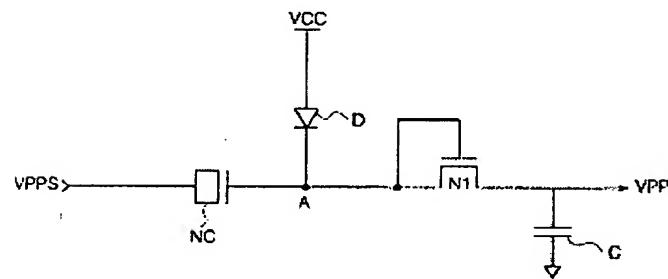
상기 제2출력노드로부터 출력되는 신호를 버퍼하고 반전하여 상기 제1출력신호를 발생하기 위한 소정수의 직렬 연결된 인버터들을 구비한 메인 고전압 검출기를 구비한 것을 특징으로 하는 반도체 메모리 장치의 고전압 발생회로.

도면

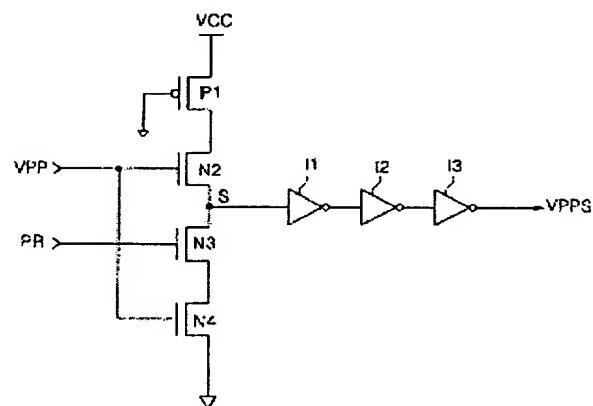
도면1



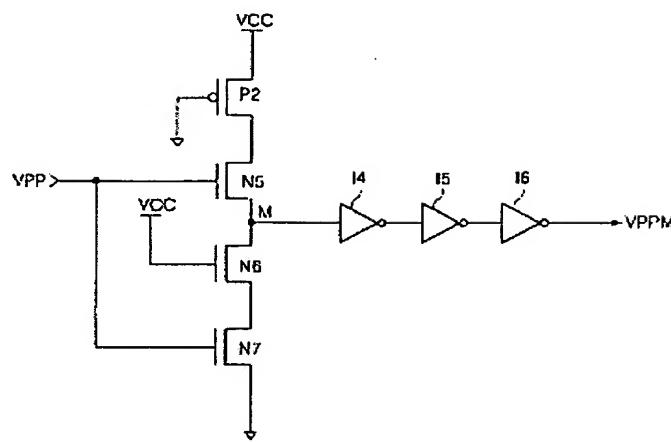
도면2



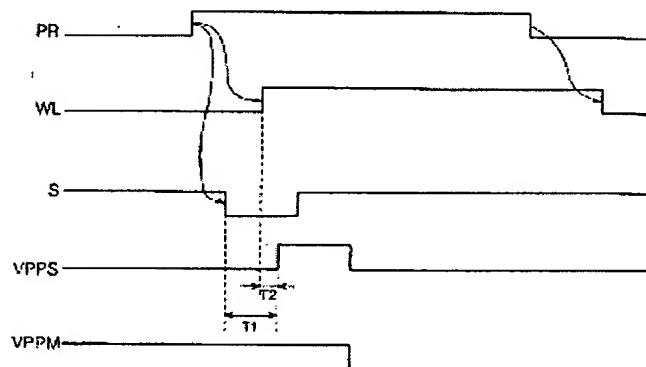
도면3



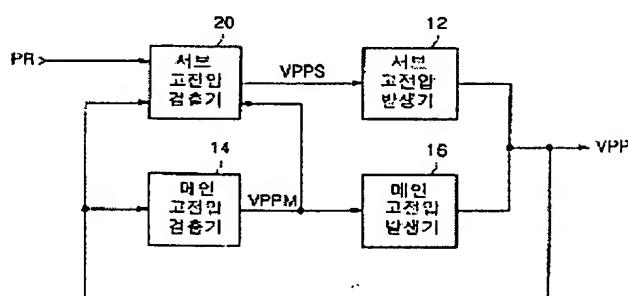
도 84



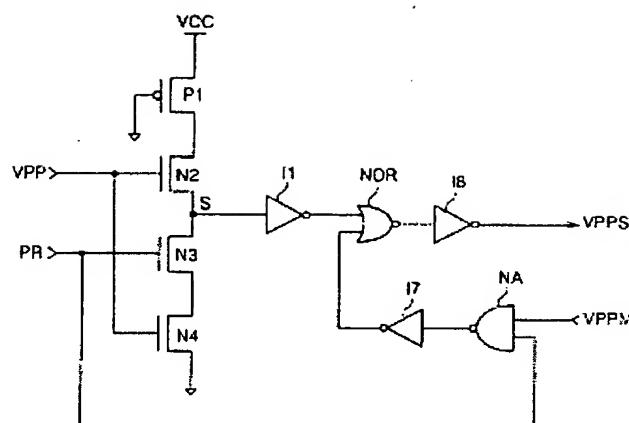
도 85



도 86



S-27



S-28

